

# バージョン8.4 リリースノート

バージョン8.4リリースにおけるSIMetrixとSIMetrix/SIMPLISの変更点を以下に示します。

## SIMetrixとSIMPLISの両方のシミュレータの変更点

- DVMソース/負荷ダイアログ
- 回路図コンポーネントの挿入とワイヤ分割
- 回路図コンポーネントの無効化と短絡

## SIMetrixシミュレータの変更点

- Verilog-Aの新機能
  - 階層構造
  - SPICEプリミティブへのアクセス
  - アナログ初期ブロック
  - 統計関数
  - 文字列と文字列パラメータのサポート
  - 文字列とファイルの処理関数

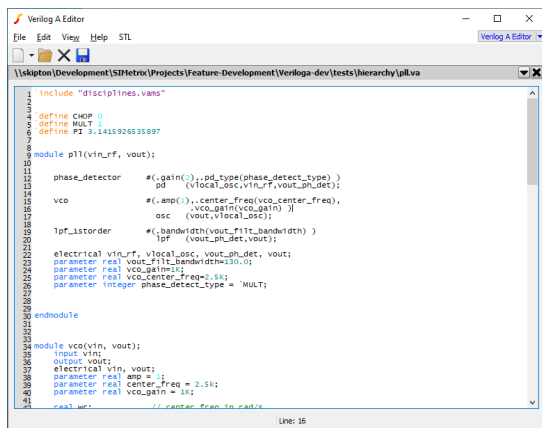
## SIMPLISシミュレータの変更点

- CコードDLL
- 磁気設計モジュール
- 電源ソース/負荷
- マルチレベルの不可逆変圧器
- エネルギー貯蔵コンバータへのキャパシタ/インダクタユニット
- 理想的な制限を備えた制御ソース

# バージョン 8.4 の新機能

## SIMetrix の機能

## Verilog-A の新機能



```
Verilog A Editor
File Edit View Help STL
\\skipton\Development\SIMetrix\Projects\Feature-Development\Verilog-a-dev\tests\hierarchy\pll.va

#include "disciplines.vams"
define CHOP 0
define MULT 1
define PI 3.1415926535897

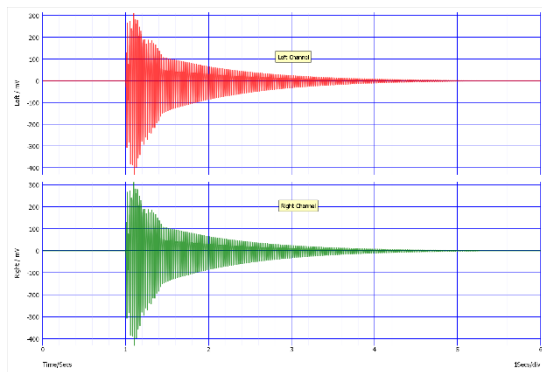
module pll(vin_rf, vout);
    phase_detector #( (.gain(1), .pd_type(phase_detect_type))
                    ) pd (vlocal_osc.vin_rf, vout_pll_det);
    vco #( (.amp(1), .center_freq(vco_center_freq),
          +vco_gain(vco_gain)) ) osc (vout_pll_det, vout);
    lpf_1storder #( (.bandwidth(vout_filt_bandwidth))
                  ) lpf (vout_pll_det, vout);
    electrical vin_rf, vlocal_osc, vout_pll_det, vout;
    parameter real vout_filt_bandwidth=100.0;
    parameter real vco_gain=1;
    parameter real vco_center_freq=2.5k;
    parameter integer phase_detect_type = 'MULT;
endmodule

module vco(vin, vout);
    input vin;
    output vout;
    electrical vin, vout;
    parameter real center_freq = 2.5k;
    parameter real vco_gain = 1k;
    real wr; //center_freq_in_rad/s
endmodule
```

Verilog-A コンパイラの開発が進み、階層構造の追加、SPICE モデルへのアクセス、文字列処理とファイル処理の新しい関数のサポートが可能になりました。

SIMetrix Pro と SIMetrix Elite で利用できます。

## WAV ファイルのサポート

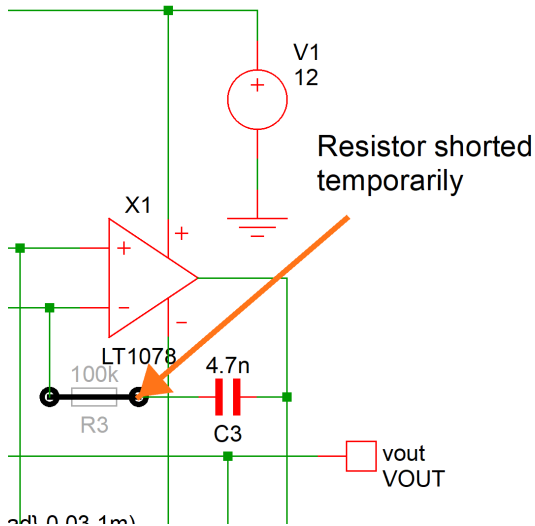


PWLS 固定ソースは WAV ファイルをサポートするようになり、デジタルオーディオアプリケーション用に簡単な刺激を供給します。

WAV ファイルを読み書きするスクリプト関数も利用できます。

# SIMetrix と SIMPLIS の機能

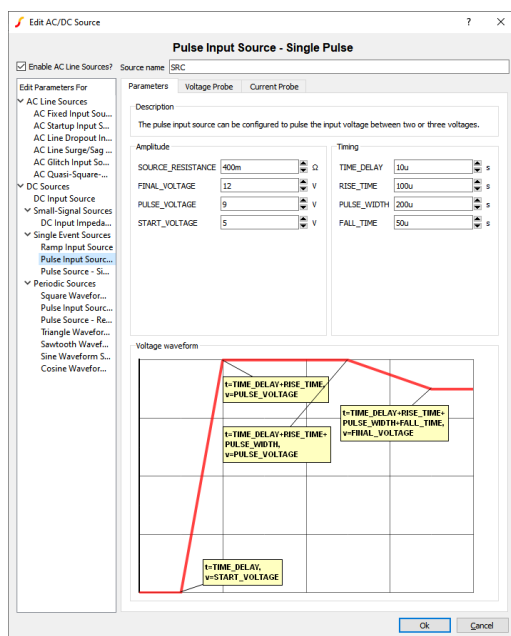
## 回路図エディタの機能



コンポーネントの短絡：コンポーネントを無効にすると同時に、その端子を短絡します。

コンポーネントの挿入：2端子部品を配置すると、ワイヤは自動的に分割されます。

## DVM ソースと負荷ダイアログの更新

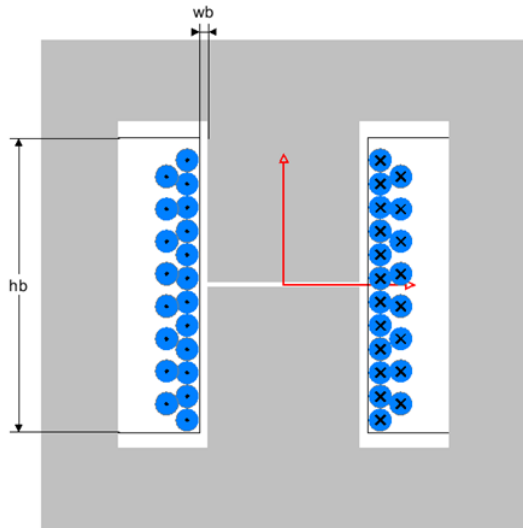


DVM ソースと負荷シンボルダイアログが更新され、電源ダイアログが使用されるようになりました。これにより、ソースと負荷のタイプごとに、4つの内部プローブ(電圧、電流、ゲインまたはマグニチュード、位相)の測定を定義できます。

DVM モジュールで利用できます。

# SIMPLIS の機能

## 磁気設計モジュール

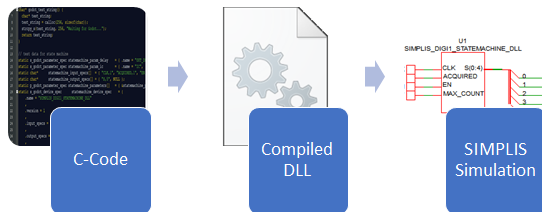


磁気設計モジュールを使用すると、標準およびカスタマイズ可能なコンポーネント（コア、材料、ワイヤ、ボビン）のカタログから、現実的なインダクタと変圧器のモデルを作成できます。カタログは大規模で編集可能かつ拡張可能です。

磁気設計モジュールは、インダクタと変圧器の損失と温度に関して、詳細かつ正確な計算を可能にします。

磁気設計モジュールは、SIMPLIS 製品と一緒に購入できます。

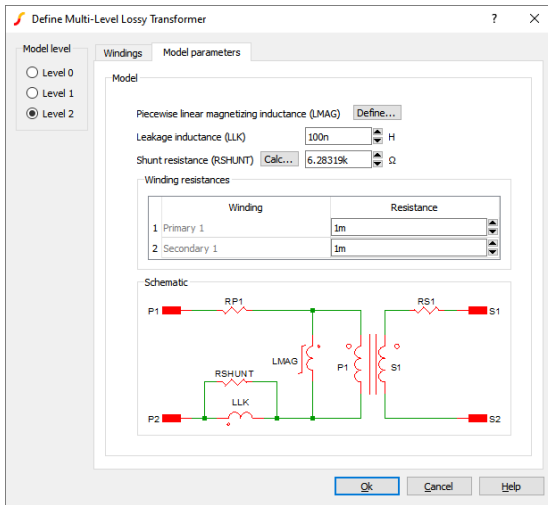
## C コード DLL



C 言語で記述されたデジタル制御コードが SIMPLIS で実行されます。ゲートのレイアウトやシミュレーションエンジンが不要なので、迅速な実装とシミュレーションの高速化が可能になります。

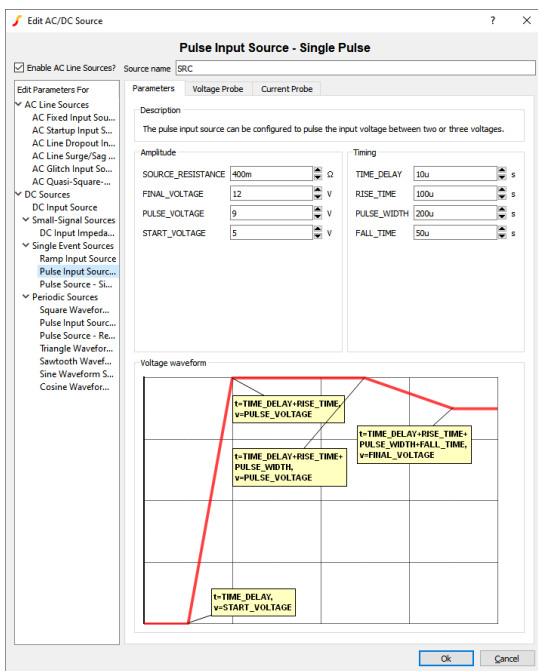
SIMPLIS Pro と SIMPLIS Elite で利用できます。

## マルチレベルの不可逆変圧器



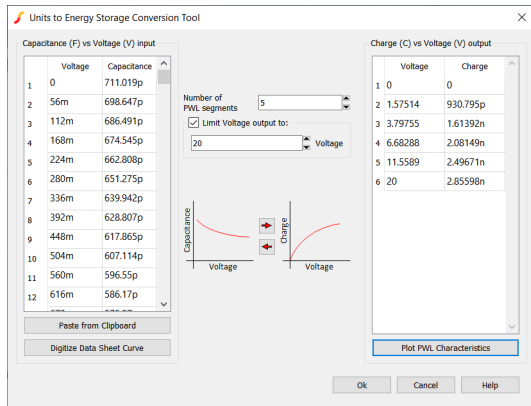
マルチレベルの不可逆変圧器には、異なるシミュレーション目的で使用できるように、複数のレベルの複雑さがあります。変圧器は最大で合計 20 の巻線を持つことができ、さまざまなレベルの複雑さで構成されます。

## 電源ソースと負荷



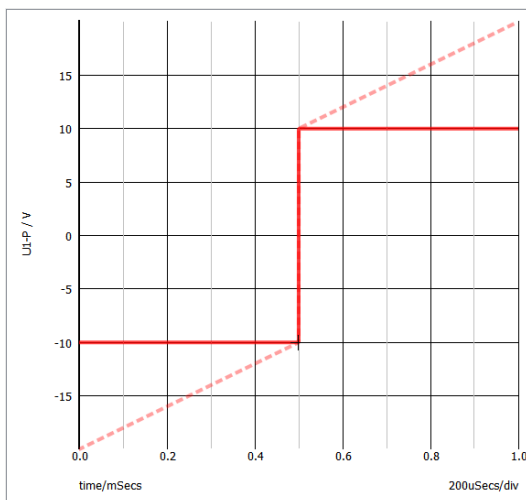
6つのAC電源タイプと13のDC電源タイプの間でソースを簡単に変換し、19の異なる負荷タイプの間で負荷を簡単に変換します。また、ソースと負荷のタイプごとに、4つの内部プローブ（電圧、電流、ゲインまたはマグニチュード、位相）の測定を定義する機能も追加されました。

## エネルギー貯蔵コンバータへのキャパシタ/インダクタユニット



キャパシタの「電荷対電圧」特性やインダクタの「鎖交磁束対磁化電流」特性を計算する必要はありません。この新しいツールを使用すると、「キャパシタンス対電圧」特性や「インダクタンス対磁化電流」特性を入力して、SIMPLIS PWL モデルに変換できます。

## 理想的な制限を備えた制御ソースの更新



出力の制限を備えた制御ソースは、理想的に出力を制限するオプションがあります。以前は、入力信号がクランプに入ると、出力クランプに小さな勾配がありました。このオプションを使用すると、用意されたレベルで出力クランプが理想的になります。

この制御ソースを配置するには、パーツセレクタを使用します。

Controlled Sources >

- CCCS w/ Output Limit
- C CVS w/ Output Limit
- V CCS w/ Output Limit
- V CVS w/ Output Limit

# SIMPLIS 磁気設計モジュール

## (Magnetics Design Module)

### 高度なインダクタモデリング

インダクタの場合、**Multi-Level Lossy PWL Inductor** の新しい Level 2 モデルを使用して MDM (磁気設計モジュール) にアクセスできます。

MDM は、直感的な GUI を備えた新しいウィンドウを提供します。インダクタを作成するには、コアの材料、コアの形状とサイズ、ワイヤの材料、ワイヤの形状とサイズ、ボビン、および巻数を選択します。ユーザはカタログから標準サイズを選択するか、カスタムサイズを定義できます。

MDM のデータベースに保存されている材料の B-H カーブ、コアの**磁気抵抗**モデル、エアギャップの正確な 3D モデルを使用して、インダクタの PWL インダクタンスが計算されます。PWL インダクタンスは SIMPLIS 回路シミュレーションで使用されます。

### 高度な変圧器モデリング

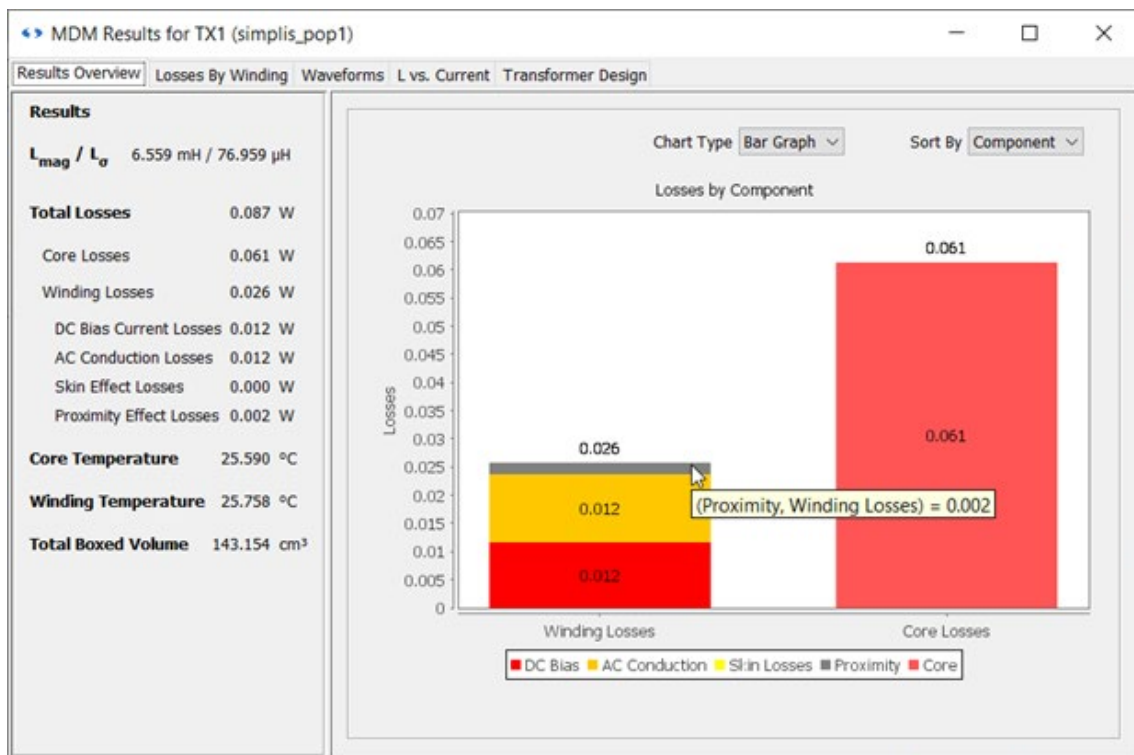
変圧器の場合、新しい **Multi-Level Lossy Transformer** シンボルの Level 3 モデルを使用して MDM にアクセスできます。

変圧器の MDM GUI を使用すると、変圧器の各巻線を詳細に設計できます。

変圧器の場合、リラクタンス (磁気回路) モデルが SIMPLIS 回路図内で直接シミュレーションされ、各巻線の正確な電流と電圧、および変圧器コアの各部分の正確な磁束が得られます。

## 正確な損失解析

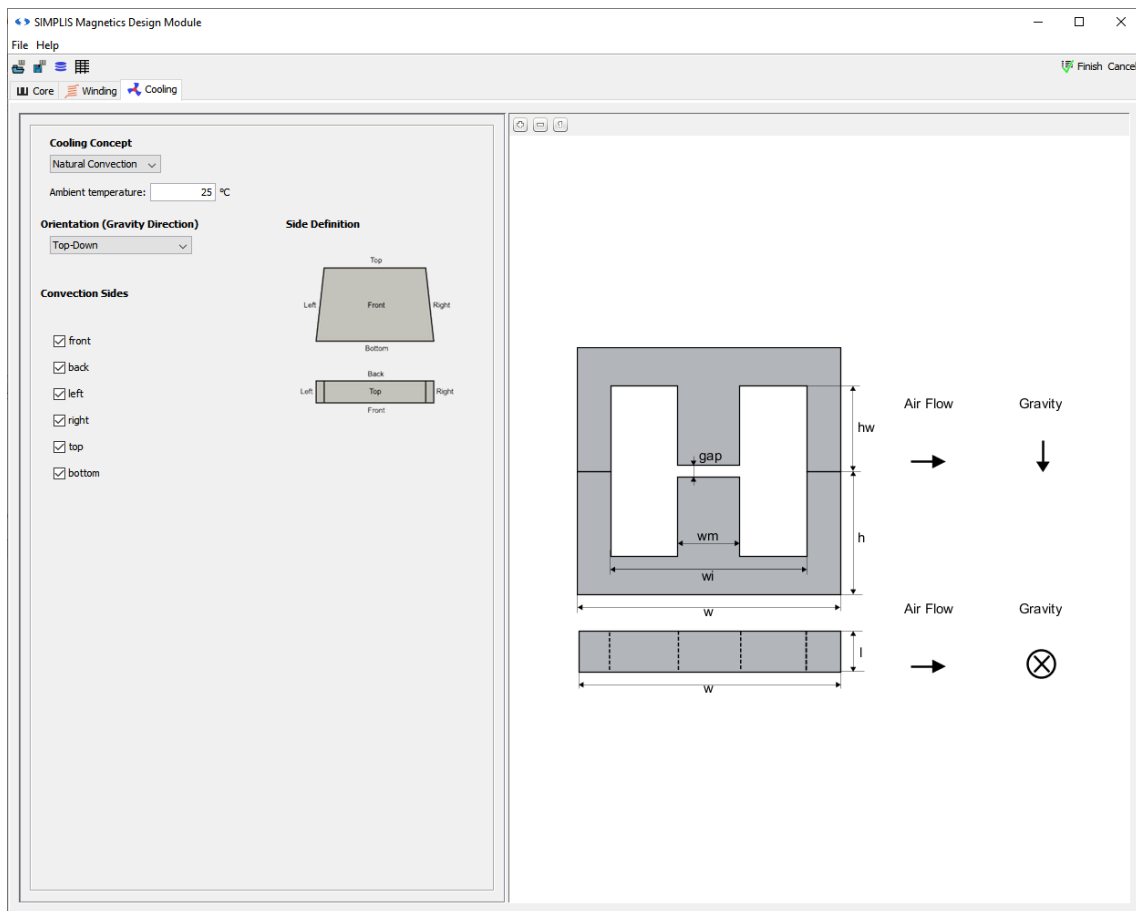
インダクタと変圧器の損失の大部分は非線形であり、回路図内の一定の抵抗だけでは正確に表すことができません。このため、MDMには後処理オプションが用意されており、DCおよびACの巻線損失（表皮効果、近接効果、エアギャップ損失など）だけでなく、さまざまな波形形状、DC電流および温度の影響を考慮したコア損失を正確に計算します。回路シミュレーションが完了すると、MDMは結果の波形を使用して、インダクタや変圧器の損失と温度を計算します。





# 熱モデリング

詳細な損失計算は、一定の温度を仮定して実行できます。あるいは、ユーザがインダクタや変圧器の詳細な冷却アレンジメントを定義できます。これは、熱流にさらされるサイド、ヒートシンク、周囲温度、自然対流または強制対流、気流の速度、およびコンポーネントの向きなどを含みます。



# MagDB – MDM の部品データベース

MDM のデータベースは、ユーザによる編集と拡張が可能であり、新しい材料や標準のコアとワイヤの定義を追加できます。また、プログラムの更新に伴い、データベースも定期的に更新されます。

The screenshot displays the SIMPLIS MagDB software interface. The window title is "SIMPLIS MagDB". The menu bar includes "File" and "Edit". The main interface is divided into several sections:

- Core Materials:** A list of core types including "Cylinder + Round Block", "EE 1 air gap", "EE 3 air gaps", "EE multiple air gaps", "EE scriptable air gaps", "EFD 1 air gap", "EFD 3 air gaps", "EI 3 air gaps", "EP 1 air gap", "EP 3 air gaps", and "EPL 1 air gap".
- Core Dimensions:** A table listing parameters and their descriptions.
 

Parameter	Description
h	Height of one Half
w	Width
wi	Inner Width
wm	Mid-leg Width
l	Length
gap	Air Gap Size
hw	Window Height
d	Mid Leg Distance
lm	Mid Leg Thickness
- Core Shape Diagram:** A diagram showing the cross-section of a core with dimensions labeled: h, w, wi, wm, gap, hw, d, lm, and l.
- Type:** A dropdown menu set to "Stackable" with a "No" button below it.
- Core Selection:** A list of specific core models: "EFD 10/5/3 3 Gaps", "EFD 15/8/5 3 Gaps", "EFD 20/10/7 3 Gaps", "EFD 25/13/9 3 Gaps", and "EFD 30/15/9 3 Gaps".
- Core Configuration:**
  - Core: Type: **EFD 3 air gaps**
  - Name: **EFD 20/10/7 3 Gaps**
  - Manufacturer: [Empty field]
  - Stackable: No
- Dimensions Table:**

Measure	Value	Unit
h	10	mm
w	20	mm
wi	15.4	mm
wm	8.9	mm
l	6.65	mm
gap	0.01	mm
hw	7.7	mm
d	0.17	mm
lm	3.6	mm
- Core Shape Diagram (Detailed):** A diagram showing the core cross-section with dimensions labeled: h, w, wi, wm, gap, hw, d, lm, and l. Below the diagram are buttons for "Add New Diagram" and "Delete Diagram".
- Buttons:** "Discard Changes", "Save Changes", "Save As", "Bobbins", "Add datasheet", "New", "Delete", "Export", and "Refre...".

# Verilog-A の新機能

## 階層構造

Verilog-A 環境内で Verilog-A モジュールを結合することにより、完全なサブシステムを作成できます。以前はネットリストレベルでの相互接続が必要でした。

## SPICE プリミティブへのアクセス

完全に Verilog-A モジュール内で、MOSFET などの SPICE プリミティブに接続する機能を提供します。外部接続を必要としません。

## アナログ初期ブロック

これは初期化時に一度だけ実行されるブロックであり、一度だけ計算する必要がある変数を設定するために使用できます。これは、DC 動作点のすべての反復で計算される `initial_step` イベントと異なります。

## 統計関数

以下に示すランダム関数は、統計分布に従い実数のランダム値を返します。

関数名	説明
<code>\$rdist_chi_square</code>	カイ二乗分布
<code>\$rdist_erlang</code>	アーラン分布
<code>\$rdist_exponential</code>	指数分布
<code>\$rdist_normal</code>	正規 (Gaussian) 分布
<code>\$rdist_poisson</code>	ポアソン分布

<code>\$rdist_t</code>	t 分布
<code>\$rdist_uniform</code>	一様分布

上記に加えて、Verilog-HDL で利用可能な整数もサポートされています。

## 文字列と文字列パラメータのサポート

文字列変数、文字列パラメータ、それら进行处理する関数と演算子をサポートするようになりました。文字列は、パラメータ値またはファイルから入力できます。Verilog-A 言語の制限内で一部の処理もサポートされています。

## ファイルと文字列の処理関数

ファイルと文字列の処理のために、次の新しい関数が導入されました。

関数名	説明
<code>\$error</code>	エラー状態を通知し、終了します。
<code>\$fatal</code>	エラー状態を通知し、ただちに終了します。
<code>\$ferror</code>	ファイル操作のエラーメッセージをコンパイルします。
<code>\$fgets</code>	ファイルからテキストの 1 行を読み取ります。
<code>\$fscanf</code>	ファイルから入力を読み取り、引数に書き込みます。
<code>\$fseek</code>	ファイルの位置を移動します。
<code>\$ftell</code>	ファイルの位置を取得します。
<code>\$info</code>	メッセージまたは低レベルの警告をリストファイルに書き込みます。
<code>\$rewind</code>	ファイルの位置を先頭に移動します。

<code>\$sformat</code>	フォーマットされた出力を文字列変数に書き込みます。
<code>\$sscanf</code>	文字列をデコードし、引数に書き込みます。
<code>\$swrite</code>	フォーマットされた出力を文字列変数に書き込みます。
<code>\$warning</code>	警告状態を発生させ、メッセージをリストファイルに書き込みます。

## その他の関数

次の新しい関数が導入されました。

関数名	説明
<code>\$arandom</code>	乱数発生器
<code>\$clog2</code>	整数を表すために必要な最小ビット数
<code>\$simparam\$str</code>	文字列値のシミュレーションパラメータを返します。
<code>\$simprobe</code>	回路内の別のインスタンスから出力変数の値を返します。
<code>above</code>	@cross と類似のイベント関数ですが、DC で動作します。